

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044285

(43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H01L 21/82
G06F 17/50
H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/088
H01L 27/108
H01L 21/8242

(21)Application number : 11-215623

(71)Applicant : NEC CORP

(22)Date of filing : 29.07.1999

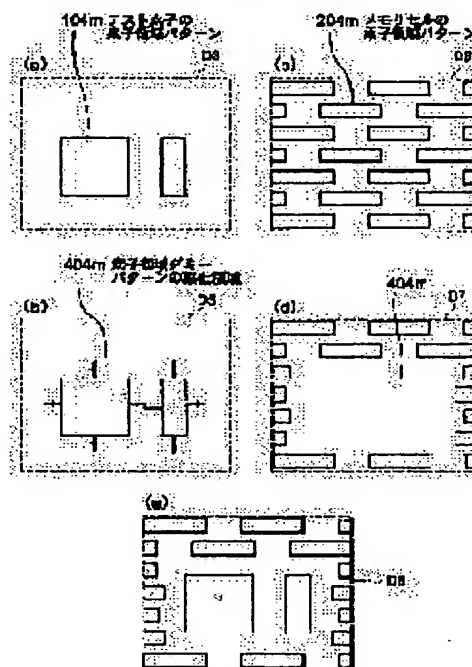
(72)Inventor : KASAI NAOKI

(54) LAYOUT METHOD OF SEMICONDUCTOR INTEGRATED CIRCUIT TEST ELEMENT PATTERN

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a test element equal in characteristics to the semiconductor element of a main chip to be formed in a test chip of a semiconductor wafer, possessing the main chip and the test chip without affecting the measurement of the test element.

SOLUTION: An inhibit region 404m, obtained by expanding a pattern 104m in a test element region by an element isolation width, is formed on a test chip, based on of CAD data D3 provided with a test element pattern 104. A pattern inside the forbidden region 404m is removed from a pattern 204m of the main chip of a memory cell for the formation of a main chip modified pattern 7, data D4 and data D7 are composited into a pattern D8 for a test chip. With this setup, a test chip pattern is set equal in pattern density to a main chip pattern.



LEGAL STATUS

[Date of request for examination] 20.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3322345

[Date of registration] 28.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-44285

(P2001-44285A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)	
H 0 1 L	21/82	H 0 1 L	21/82	T 5 B 0 4 6
G 0 6 F	17/50	G 0 6 F	15/60	6 5 4 N 5 F 0 3 8
H 0 1 L	27/04	H 0 1 L	27/04	T 5 F 0 4 8
	21/822		27/08	1 0 2 G 5 F 0 6 4
	21/8234		27/10	6 9 1 5 F 0 8 3
審査請求 有 請求項の数 8 O L (全 10 頁) 最終頁に続く				

審査請求 有 請求項の数 8 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平11-215623

(22) 出願日 平成11年7月29日 (1999.7.29)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 笠井 直記

東京都港区芝五丁目7番1号日本電気株式会社内

(74) 代理人 100096231

弁理士 稲垣 清

Fターム(参考) 5B046 AA08 BA04

5F038 CA02 CA17 CA18 DT12 EZ20

5F048 AA09 DA09

5F064 BB33 DD01 DD03 DD26 DD39

HH06 HH10

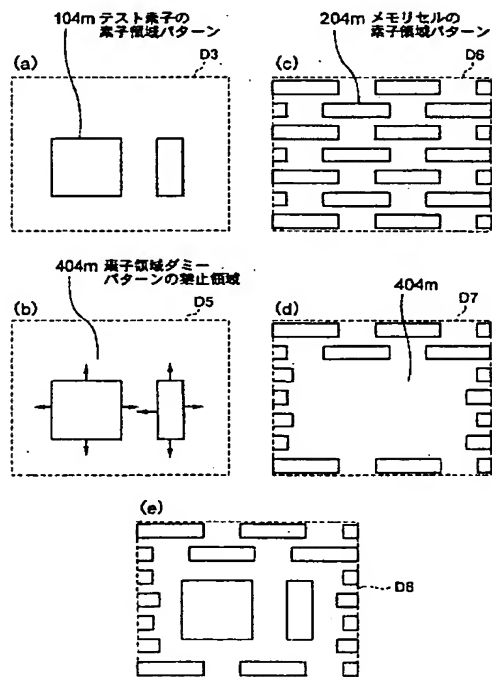
5F083 GA27 PR01 ZA20 ZA28

(54) 【発明の名称】 半導体集積回路のテスト素子パターンのレイアウト方法

(57) 【要約】

【課題】 本チップ及びテストチップを有する半導体ウエハのテストチップに、テスト素子の測定に影響を与えないで本チップの半導体素子と特性が揃ったテスト素子を形成する。

【解決手段】 テスト素子パターン104mを有するCADデータD3から、テスト素子領域のパターン104mを素子分離幅だけ拡大してテストチップ上に禁止領域404mを形成する。メモリの本チップのパターン204mから、禁止領域404m内にあるパターンを除き、本チップ修正パターン(D7)とし、データD3とデータD7とを合成して、テストチップのためのパターンデータD8とする。これによって、テストチップのパターン密度を本チップのパターン密度と同等にする。



1

【特許請求の範囲】

【請求項1】 本チップの半導体素子を模擬するテスト素子をテストチップ内にレイアウトする、半導体集積回路のテスト素子パターンのレイアウト方法において、テストチップ内にダミーパターン禁止領域を形成し、本チップの所望のパターンから前記ダミーパターン禁止領域に対応する領域中のパターンを除去してダミーパターンを形成し、該ダミーパターンとテスト素子パターンとを合成するステップを有することを特徴とする、半導体集積回路のテスト素子パターンのレイアウト方法。

【請求項2】 前記ダミーパターン禁止領域は、模擬する本チップのパターンと同層のテスト素子パターンに基づいて形成することを特徴とする、請求項1に記載の半導体集積回路のテスト素子パターンのレイアウト方法。

【請求項3】 前記ダミーパターン禁止領域は、模擬する本チップのパターンと同層のテスト素子パターン及び他の層のテスト素子パターンとに基づいて形成することを特徴とする、請求項1に記載の半導体集積回路のテスト素子パターンのレイアウト方法。

【請求項4】 前記ダミーパターン禁止領域は、模擬する本チップのパターンと異なる層のテスト素子パターンに基づいて形成することを特徴とする、請求項1に記載の半導体集積回路のテスト素子パターンのレイアウト方法。

【請求項5】 前記ダミーパターン禁止領域は、前記テスト素子パターンを構成する要素パターンに基づいて定めることを特徴とする、請求項2～4の何れかに記載の半導体集積回路のテスト素子パターンのレイアウト方法。

【請求項6】 前記要素パターンは、前記ダミーパターンと同一のリソグラフィー工程によって形成される層に基づいて定められることを特徴とする、請求項5に記載の半導体集積回路のテスト素子パターンのレイアウト方法。

【請求項7】 前記要素パターンは、前記ダミーパターンと異なるリソグラフィー工程によって形成される層に基づいて定められることを特徴とする、請求項5に記載の半導体集積回路のテスト素子パターンのレイアウト方法。

【請求項8】 前記要素パターンは、前記ダミーパターンと同一のリソグラフィー工程によって形成される層および異なるリソグラフィー工程によって形成される層を合成した層に基づいて定められることを特徴とする、請求項5に記載の半導体集積回路のテスト素子パターンのレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路のテスト素子パターンのレイアウト方法に関し、特に、半導体ウェハ上に本チップと同時に形成されるテストチッ

2

プ中にテスト素子パターンをレイアウトする方法に関する。

【0002】

【従来の技術】 半導体集積回路装置では、基板上に集積化される半導体素子の数が年々増加している。例えば、半導体基板上に形成されるメモリの記憶容量（ビット数）は、おおよそ3年で4倍程度に向上してきた。このような記憶容量の大幅な向上は、主として、半導体素子の各寸法が、微細加工技術の進歩によって、おおよそ3年毎に0.7倍に縮小されたことに起因している。このような急速な寸法の減少を伴う集積回路チップの製造においては、製品として出荷される本チップと、本チップにおいて用いられている半導体素子の性能を検査するためのテストチップとを半導体ウェハ上に同時に形成することが一般的である。

【0003】 図8は、本チップとテストチップとを1つの半導体ウェハ上に搭載した一般的な例を示している。同図(a)に示すように、ウェハ11上には、多数の本チップ12と、少数のテストチップ13とが配置される。テストチップ13は、同図(b)に示すように、本チップに形成される多数種類の半導体素子を夫々模擬する各テスト素子14から構成される。

【0004】 図9は、図8のテスト素子の一例を示すもので、本チップで用いられている2種類のMOSFETの特性を評価するために、2つのテスト素子が形成されている。テスト素子A(14A)は、本チップのpチャネルMOSFETを模擬するpチャネルMOSFETとして形成され、テスト素子B(14B)は、本チップのnチャネルMOSFETを模擬するnチャネルMOSFETとして形成される。MOSFETテスト素子の特性を測定するためには、図9に示すように、ゲート、ドレイン、ソース、基板の4端子のためのプローブパッド15が必要である。プローブパッド15は、例えば第1層のメタル配線として形成され、通常 $50 \times 50 \mu\text{m}^2 \sim 120 \times 120 \mu\text{m}^2$ 程度の大きさで、相互の間隔が $50 \sim 100 \mu\text{m}$ である。

【0005】 図10(a)及び(b)は夫々、プローブパッドを含むメタル配線層を除いてテスト素子14Aの構造を例示する平面図、及び、そのA-A断面図である。テスト素子自体の大きさは、本チップの半導体素子の大きさと同じであり、 $20 \times 20 \mu\text{m}^2$ 以下が一般的である。

【0006】 つまり、プローブパッド15は、テスト素子自体のサイズに比して極めて大きく、従って、MOSFETを測定するためのテストチップ13の大きさは、実質的にプローブパッドの数と大きさによって決まる。このため、メタル配線層以外のテスト素子の相互間では、 $200 \sim 400 \mu\text{m}$ 程度の間隔が空いており、テスト素子ではパターン密度が本チップに比して極めて小さい。

3

【0007】ここで、一般的な本チップのレイアウト及び構造について説明する。図11は、256MDRAMとして構成した半導体集積回路装置を例とする本チップの平面図である。また、図12は、図11のDRAMのアレイ領域の平面図である。DRAMは、4つのアレイ領域17と、それらの間に配設される周辺回路領域16とからなる。アレイ領域17は、図12に示すように、メモリセルアレイ領域18、ワードドライバアレイ領域19、及び、センスアンプアレイ領域20からなる。通常のDRAMでは、メモリセルアレイ領域18が、本チ

ップ12の面積の50~70%を占める。

【0008】図13(a)は、メモリセルアレイ領域18の一部詳細平面であり、同図(b)はその断面構造図である。メモリセルアレイ領域18では、最も微細な設計ルールを用いて各層パターンが密にレイアウトされている。

【0009】

【発明が解決しようとする課題】上記従来の本チップ12とテストチップ13との間では、本チップ12に用いられる半導体素子であるMOSFETと、テストチップ13に形成されるテスト素子であるMOSFETとの間でトランジスタ特性が異なるため、テストチップによる有効な特性の測定が困難という問題がある。

【0010】特性が異なる第1の理由は、図10(a)に示したように、テストチップでは、ゲート電極の凹み151によってMOSFETのゲート長がチャネル領域において一定にならないことである。ゲート電極の凹み151が生じる原因は、図10(b)に示すように、トレンチ分離方法で形成された素子分離絶縁膜105の形状に起因する。つまり、基板表面の高さよりも素子分離絶縁膜105の高さが低くなる素子分離絶縁膜の凹み152によって、基板面と素子分離絶縁膜105との間で段差が生じる。この段差によって、ゲート電極107を形成するためのレジスト膜厚が段差近傍で変化し、レジストパターンの寸法を変化させるものである。

【0011】素子分離絶縁膜の凹み152が生じる理由は、その製造方法とパターン密度とに由来する。DRAMの製造工程では、まず、p型シリコン基板101上の素子領域104にシリコン窒化膜からなるマスクを形成し、マスクのない領域のp型シリコン基板101をエッチングして溝を形成する。溝が埋め込まれるようにシリコン酸化膜を堆積した後に、マスクの部分の化学的機械的研磨(CMP)法によって削り取る工程がある。この際に、素子領域が小さく、且つ、隣の素子領域との間で間隔が大きなテスト素子の場合には、溝に埋め込まれたシリコン酸化膜が過剰に削り取られるからである。

【0012】特性が異なる第2の理由は、テスト素子14Bにおける周辺n型拡散層と第1層メタル配線とを接続する周辺コンタクト118のコンタクト抵抗と、本チップ12におけるセルn型拡散層208と第1層メタル

4

配線219とを接続するビットコンタクト118のコンタクト抵抗とが異なることである。測定されるMOSFETの特性は、チャネル抵抗と、これに直列に接続された寄生抵抗とを含めたものである。コンタクト抵抗は、寄生抵抗の一部であるため、その値が異なると測定されるMOSFET特性が異なる。コンタクト抵抗が異なる原因は、メモリセル領域には、キャパシタとなる容量下部電極213と容量上部電極215とが存在するのに対して、テスト素子では対応するキャパシタがないために、周辺コンタクト118の深さとビットコンタクトの深さとが異なることに起因する。ここで、テストチップでは、ゲート電極のパターン密度が小さいために、コンタクトが浅くなっている。

【0013】本発明は、上記従来技術における、本チップとテストチップとで半導体素子の特性が異なる問題点を解決するためになされたものであり、本チップとテストチップとの間で半導体素子の特性の差を小さくし、もって、テストチップによって有効なテストが実施可能となる、半導体集積回路のテスト素子パターンのレイアウト方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明の集積回路のテスト素子パターンのレイアウト方法は、本チップの半導体素子を模擬するテスト素子をテストチップ内にレイアウトする、半導体集積回路のテスト素子パターンのレイアウト方法において、テストチップ内にダミーパターン禁止領域を形成し、本チップの所望のパターンから前記ダミーパターン禁止領域に対応する領域中のパターンを除去してダミーパターンを形成し、該ダミーパターンとテスト素子パターンとを合成するステップを有することを特徴とする。

【0015】ここで、前記ダミーパターン禁止領域は、模擬する本チップのパターンと同層のテスト素子パターンに基づいて形成すること、模擬する本チップのパターンと同層のテスト素子パターン及び他の層のテスト素子パターンとに基づいて形成すること、或いは、模擬する本チップのパターンと異なる層のテスト素子パターンに基づいて形成することの何れでもよい。この場合、前記ダミーパターン禁止領域は、前記テスト素子パターンを構成する要素パターンに基づいて定めることが好ましい。

【0016】また、前記要素パターンは、前記ダミーパターンと同一のリソグラフィー工程によって形成される層に基づいて定められること、前記ダミーパターンと異なるリソグラフィー工程によって形成される層に基づいて定められること、或いは、前記ダミーパターンと同一のリソグラフィー工程によって形成される層および異なるリソグラフィー工程によって形成される層を合成した層に基づいて定められることの何れでもよい。

【0017】本発明の半導体集積回路のテスト素子パタ

5

ーンのレイアウト方法によれば、テスト素子パターンの周囲に、テスト素子パターンの特性測定に影響を与えることなく、ダミーパターンを配置させることができ、パターン密度の相違に起因する半導体素子とテスト素子との間で生ずる特性の相違を小さくすることが出来る。

【0018】本発明者は、本チップに用いられる半導体素子とテストチップに形成されるテスト素子との間で特性が異なるという問題は、本チップとテスト素子との間におけるパターン密度の違いと、存在するパターン層の数の違いとに起因することに鑑み、テスト素子のパターン密度を本チップのパターン密度と同等にすること、及び、その際における、テスト素子の特性測定に影響を与えることなくダミーパターンを配置する手法に想到し、本発明を完成させるに至ったものである。

【0019】特開平7-335844号公報には、テストパターンの周囲に本チップのパターンと同様なダミーパターンを配置した半導体装置が記載されているが、同公報には、テストパターンの周囲にダミーパターンを形成するための具体的な手法は記載されていない。

【0020】本発明の半導体集積回路のテスト素子パターンのレイアウト方法では、テストチップのCADデータに本チップのCADデータの一部を合成して、テストチップの各パターンを形成する。一部としたのは、単純にテストチップのデータと本チップのデータとを合成すると不具合が起こるためである。このような不具合が生じないように、テスト素子の測定に影響しない領域の本チップのデータのみを加え、テストチップと本チップの各層のパターン密度を同程度にする。これによって、本チップとテストチップとの間で生ずる特性の差異を小さくするものである。

【0021】

【発明の実施の形態】図1は、本発明に係る半導体集積回路のテスト素子パターンのレイアウト方法を実施する、テストチップのCADデータを作る手順を示したフローチャートである。半導体集積回路は、素子領域、ゲート電極、コンタクト、配線などの多数のパターン層の組み合わせによって形成されている。図1は、その多数のパターン層のうちの或るA層について示した。

【0022】まず、処理前のテストチップの設計CADデータを構成する全てのパターン層のデータ（テストチップデータ）D1を用意する。同様に、本チップの設計CADデータを構成する全てのパターン層のデータ（本チップデータ）D2を用意する。1つのパターン層Aに着目し、テストチップデータD1からパターン層Aの形成に必要なデータ層を抽出し（ステップS1）、これをパターン層AのCADデータD3とする。更に、パターン層Aの特性測定に影響を与えないためのパターン禁止領域の形成に必要なデータ層を抽出する（ステップS2）。この場合に、パターン層Aのためのデータ層ばかりでなく、必要に応じて他のパターン層のためのデータ

6

層も抽出し、パターン層Aのための禁止領域形成用データD4とする。このデータD4から、テストチップA層の禁止領域を形成し、禁止領域CADデータD5とする。

【0023】別に、本チップにおけるパターン層Aのための各データ層を抽出し（ステップS4）、本チップのパターン層AのCADデータD6とする。テストチップのためのパターン層Aの禁止領域データD5と、本チップのパターン層AのCADデータD6とから、本チップのパターン層Aのパターンの内で、禁止領域内に含まれるデータを全て削除する（ステップS5）ことによって、本チップのパターン層Aの禁止領域データを削除した本チップ修正データ（ダミーパターンデータ）D7を作成する。このデータD7と、先に作成したテストチップのCADデータD3とを合成し（ステップS6）、テストチップのパターン層AのCADデータD8を得る。

【0024】上記構成では、テスト素子の測定に対して影響を与えないように、テスト素子のパターン層Aの禁止領域データD5を作成している。本チップのパターンデータD6から、この禁止領域に含まれるデータ部分を削除した本チップ修正データD7を作成する。テストチップのCADデータD3と本チップ修正データD7とを合成することによって、本発明によるテストチップのA層のデータD8を形成している。以下、具体的な例を挙げて本発明を更に詳細に説明する。

【0025】具体的な例としては、図8～図13を参照して従来技術で説明したDRAMに本発明を適用した場合について説明する。つまり、図8(a)に示したウエハに本発明を適用し、テストチップには、図9に示したpチャネルMOSFETテスト素子14A、及び、nチャネルMOSFETテスト素子14Bを形成する例について説明する。

【0026】図2(a)～(e)は夫々、パターン層Aとして素子領域を選んだ際のテストチップ形成のために使用されるパターンデータを示している。一般に、素子領域は、集積回路を形成する工程においてイオン注入工程を除けば最初の工程である。従って、禁止領域の形成には、同層である、テスト素子の素子領域パターンのみを用いる。同図(a)は、テスト素子の素子領域のパターン104mを有するパターンデータD3である。素子領域は最初の工程であることから、パターン禁止領域のデータD5（同図(b)）は、このテスト素子の素子領域パターン104mを拡大し、素子領域ダミーパターン禁止領域404mを形成することで得られる。このようなパターンの拡大は、CADツールを用いることによって、容易に行なうことができる。拡大する大きさは、その半導体集積回路を設計する際のルールにおいて、最小素子分離幅以上の値を選択する。例えば、256MDRAMでは、0.3μm程度となる。

【0027】次いで、図2(c)に示した本チップのC

ADデータD6におけるメモリセルのパターン204mから、データD5の素子領域ダミーパターン禁止領域404m内にあるパターンを削除すると、同図(d)に示した本チップ修正データD7となる。この削除もCADツールを用いれば、容易に行なうことができる。その後、同図(a)に示すテスト素子のパターンデータD3と、同図(d)の本チップ修正パターンデータD7の双方のパターンを合成することで、同図(e)に示したテスト素子の素子領域パターンのためのCADデータD8が得られる。このCADデータD8に示されたパターン

10 によって製造されたレチクルを用いて、ウェハー上におけるテストチップの素子領域パターンの形成を行なうことにより、図3(a)及び(b)に示した素子領域パターンが得られる。図3(a)は、テスト素子14Aの平面図を示し、図3(b)は、同図(a)のA-A断面におけるテスト素子14A及び14Bの断面図を示している。図3に示した素子領域パターンでは、従来の素子領域の形成で生じたようなp型基板101と素子分離絶縁膜105との間の段差は生じない。

【0028】図4は、素子領域形成後に行われるゲート電極の形成工程についての、図2と同様なCADデータを示している。同図(a)は、テスト素子のゲート電極パターン107mを有するCADデータD3を示す。同図(b)は、ダミーパターン禁止領域のデータD5をその形成方法と共に示している。ゲート電極の形成は、素子領域形成工程に続く工程であることから、テスト素子の素子領域パターン104mと、ゲート電極パターン107mとを用い、これらを先の例のように拡大して禁止領域407のためのデータD5を形成する。ゲート電極

20 30 パターン107mだけでなく素子領域パターン104mを用いる理由は、素子領域と第1層メタル配線とを接続するコンタクトを考慮したためである。つまり、ゲート電極ダミーパターン禁止領域のデータD5では、素子領域のデータD3のテスト素子パターン104m及びゲート電極のテスト素子パターン107mとを最小素子分離幅だけ拡大して禁止領域407mとしてある。

【0029】次いで、図4(c)に示した本チップのCADデータD6におけるゲート電極パターン207mから、データD5のゲート電極ダミーパターン禁止領域407mにあるパターンを削除すると、同図(d)に示した本チップ修正データD7Aとなる。ここで、同図

(d)に示すように、本チップのゲート電極パターン207mから禁止領域のデータを削除した際に、最小設計寸法以下のゲート電極パターン207mが発生する場合には、同図(e)に示すように、この最小設計寸法以下のパターンも併せて削除することで、本チップ修正データD7Bを得る。最小設計寸法以下のパターンを残しておく、レチクルを作成することが困難になり、又、仮にレチクルが作成できた場合でも、ウェハー上に極めて細いパターンが形成されるために、パターン剥がれによ

50

るゴミの原因となるからである。この結果、テストチップのゲート電極パターンの密度も本チップと同程度となる。

【0030】その後、同図(a)に示すテスト素子のCADデータD3と、同図(e)の本チップ修正データD7Bの双方のパターンを合成することで、同図(f)に示したテスト素子のゲート電極パターンのCADデータD8が得られる。このCADデータD8に示されたパターンを有するレチクルを用いて、ウェハー上におけるゲート電極パターンの形成を行なうことにより、図5

(a)及び(b)に示すように、テスト素子中に、素子領域パターン上に形成されたゲート電極パターン107が得られる。

【0031】図6は、テストチップのコンタクトのレイアウト工程についての、図4と同様なCADデータを示している。コンタクトは、図13(b)に示すように、その上層の第1層のメタル配線219と素子領域の拡散層とを接続するメモリセルのビットコンタクト217のためのテスト素子として形成されるものである。図6

(a)は、テストチップのコンタクトパターンのCADデータD3である。テスト素子のコンタクトパターンの形成には、図6(b)に示す、テストチップの第1層メタル配線パターンのためのテスト素子パターン119mを有するCADデータD3'を用いて禁止領域データを作成する。つまり、同図(c)に示すように、第1層メタル配線のためのテスト素子パターン119mを、先の例と同様に拡大して、第1層メタル配線ダミーパターンの禁止領域419mを有するCADデータD5とする。本チップのコンタクトパターン217を有するデータD6(同図(d))から、データD5の禁止領域419mに少しでも重なる本チップのビットコンタクトを除去し、本チップ修正CADデータD7(同図(e))を得る。次いで、テスト素子のパターンデータD3と、本チップ修正CADデータD7とから、テスト素子のパターンのCADデータD8が得られる(同図(f))。得られたCADデータD8から、図7(a)及び(b)に示すテスト素子パターンが形成される。

【0032】上記テストチップのコンタクトパターンの形成の際に、第1層メタル配線119mによって得られた禁止領域の部分で本チップのコンタクトを削除しないと、テストチップにおいて、第1層メタル配線が、本来接続してはならない素子領域とコンタクトを介して接続される場合が生じる。

【0033】上記実施形態例の方法によれば、テストチップにおけるパターン密度が、本チップのパターン密度と同程度になることから、例えば図5(b)に示すように、素子分離絶縁膜の凹みが生じることがなく、素子分離絶縁膜の膜厚が一定となる。その結果、素子分離領域を形成した後においても、平坦な基板表面が得られ、この平坦な基板表面によって、ゲート電極パターンの形成

9

においてゲート電極の凹みが生じない。

【0034】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体集積回路のテスト素子パターンのレイアウト方法は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したのも、本発明の範囲に含まれる。

【0035】

【発明の効果】以上、説明したように、本発明の半導体集積回路のテスト素子パターンのレイアウト方法によると、テストチップにダミーパターンを形成する際に、テストチップ内にダミーパターン禁止領域を形成し、本チップの所望のパターンからダミーパターン禁止領域内に含まれるパターンを除いてダミーパターンを形成し、該ダミーパターンとテスト素子パターンとを合成する手法を採用したので、テスト素子の特性測定に影響を与えることなく、テストチップと本チップとの間のパターン密度を同程度にすることができ、テスト素子による有効な特性測定を可能にする効果がある。

【図面の簡単な説明】

【図1】本発明の一実施形態例の半導体集積回路のテスト素子パターンのレイアウト方法のフローチャート。

【図2】(a)～(e)は夫々、図1の方法によって素子領域のテスト素子パターンを形成する際に使用されるパターンデータ。

【図3】(a)及び(b)は夫々、図2で得られたテスト素子パターンデータによって実際に形成される素子領域パターン。

【図4】(a)～(f)は夫々、図1の方法によってゲート電極のテスト素子パターンを形成する際に使用されるパターンデータ。

【図5】(a)及び(b)は夫々、図4で得られたテスト素子パターンデータによって実際に形成されるゲート電極パターン。

【図6】(a)～(f)は夫々、図1の方法によってコンタクトのテスト素子パターンを形成する際に使用されるパターンデータ。

【図7】(a)及び(b)は夫々、図6で得られたテスト素子パターンデータによって実際に形成されるコンタクトパターン。

【図8】(a)及び(b)は夫々、本チップ及びテストチップを有する一般的な半導体ウエハの平面図、及び、テストチップの平面図。

【図9】テストチップに形成されるテスト素子の例を示す平面図。

【図10】(a)及び(b)は夫々、テスト素子の詳細平面図、及び、その断面図。

【図11】一般的なDRAMにおける本チップの平面図。

【図12】図11のDRAMのアレイ領域の平面図。

10

【図13】(a)及び(b)は夫々、図12のメモリセルアレイの詳細平面図、及び、その断面図。

【符号の説明】

- 11: ウエハ
- 12: 本チップ
- 13: テストチップ
- 14: テスト素子
- 15: プローブパッド
- 16: 周辺回路領域
- 17: アレイ領域
- 18: メモリセルアレイ領域
- 19: ワードドライバアレイ領域
- 20: センスアンプアレイ領域
- 101: p型シリコン基板
- 102: pウエル
- 103: nウエル
- 104: 素子領域
- 104m: テスト素子の素子領域パターン
- 105: 素子分離絶縁膜
- 106: ゲート酸化膜
- 107: ゲート電極
- 107m: テスト素子のゲート電極パターン
- 118: 周辺コンタクト
- 118m: テスト素子の周辺コンタクトパターン
- 119: 第1層メタル配線
- 119m: テスト素子の第1層メタル配線パターン
- 151: ゲート電極の凹み
- 152: 素子分離領域の凹み
- 201: p型シリコン基板
- 202: pウエル
- 204: 素子領域
- 204m: メモリセルの素子領域パターン
- 205: 素子分離絶縁膜
- 206: ゲート酸化膜
- 207: ゲート電極
- 207m: メモリセル領域のゲート電極パターン
- 208: セルn型拡散層
- 211: 第1層間絶縁膜
- 212: 容量コンタクト
- 213: 容量下部電極
- 214: 容量絶縁膜
- 215: 容量上部電極
- 216: 第2層間絶縁膜
- 217: ビットコンタクト
- 217m: メモリセルのビットコンタクトパターン
- 219: 第1層メタル配線(ビット線)
- 307: ダミーゲート電極
- 312: ダミー容量コンタクト
- 313: ダミー容量下部電極
- 314: ダミー容量絶縁膜

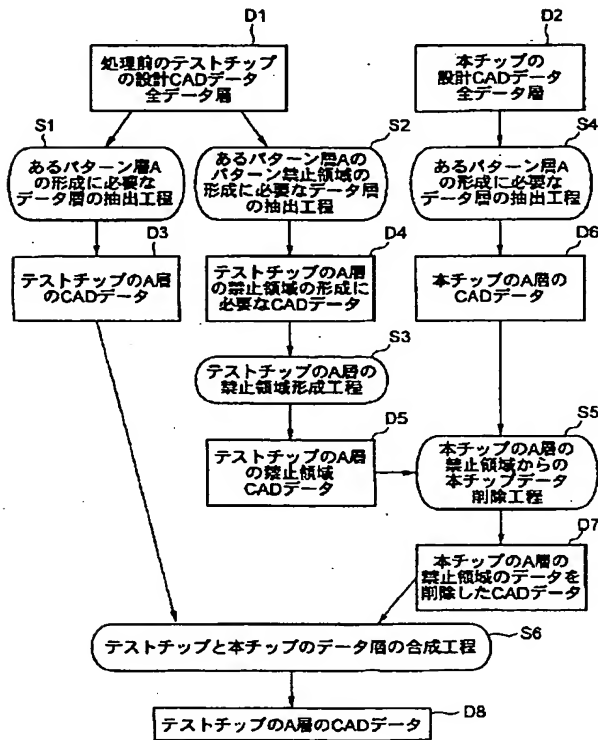
11

315: ダミー容量上部電極

404m: 素子領域ダミーパターンの禁止領域

404m: ゲート電極ダミーパターンの禁止領域

【図1】



【図5】

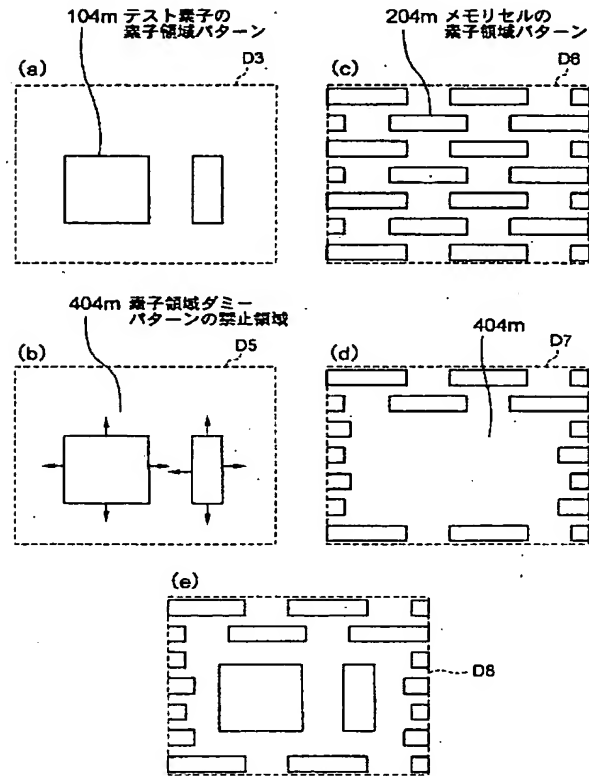
12

* 407: 禁止領域

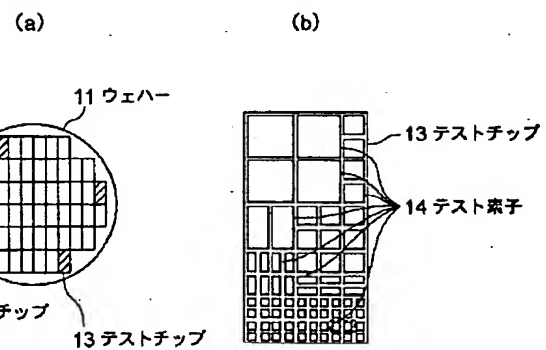
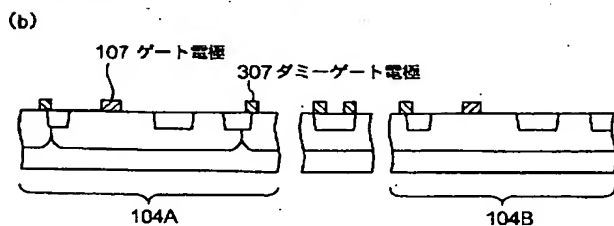
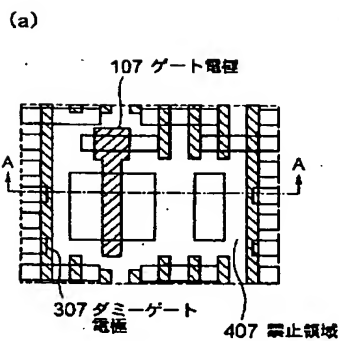
407m: ゲート電極ダミーパターンの禁止領域

* 419m: 第1層メタル配線ダミーパターンの禁止領域

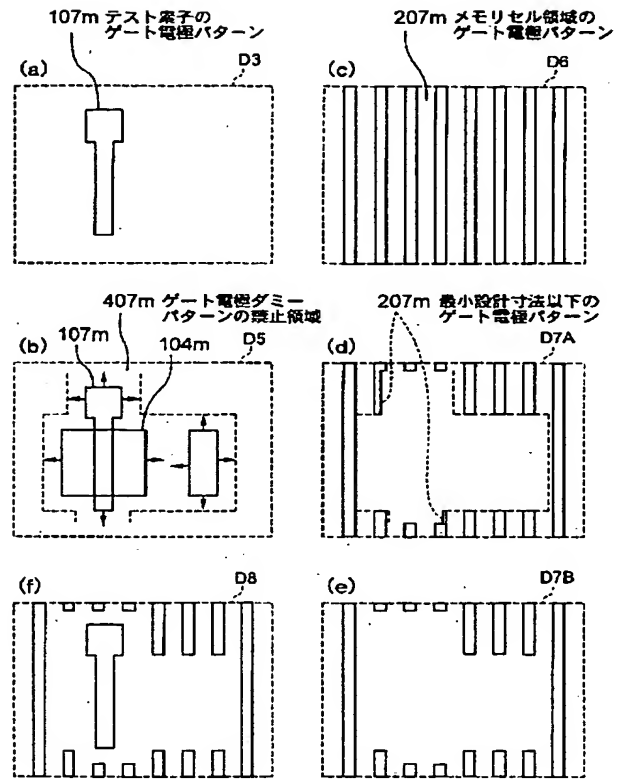
【図2】



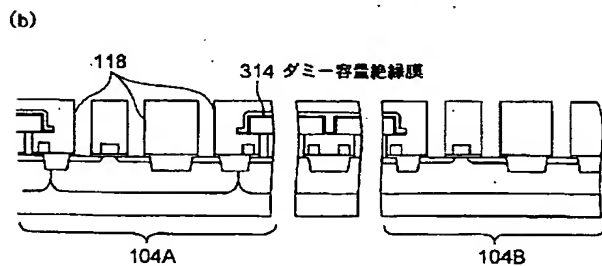
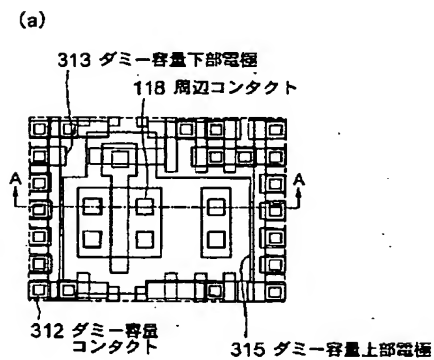
【図8】



【図4】

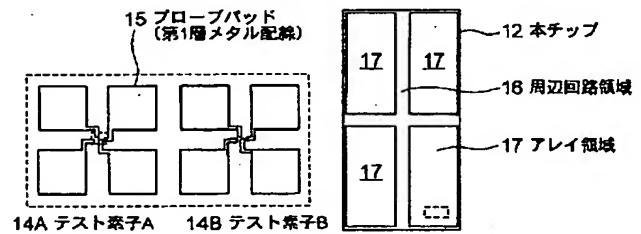


【圖 7】

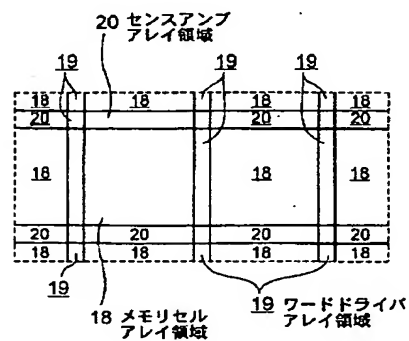


【図 9】

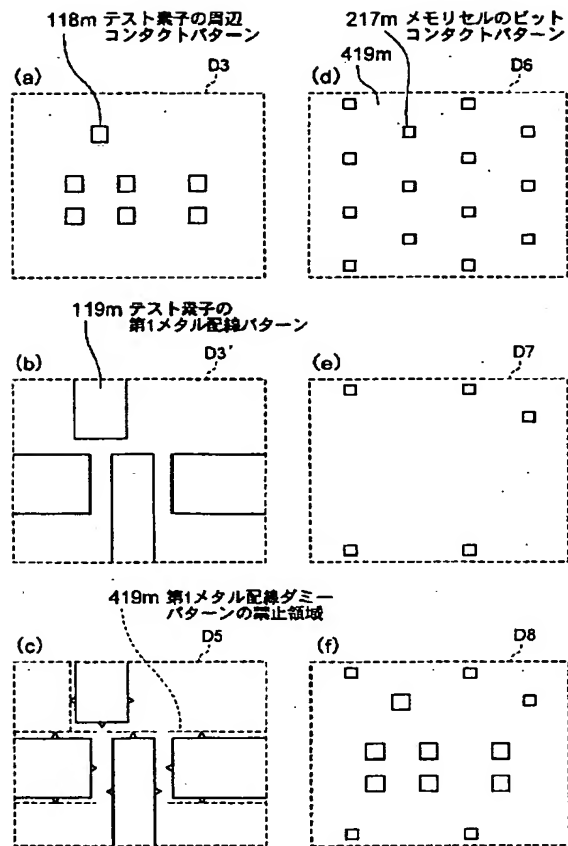
【図 1 1】



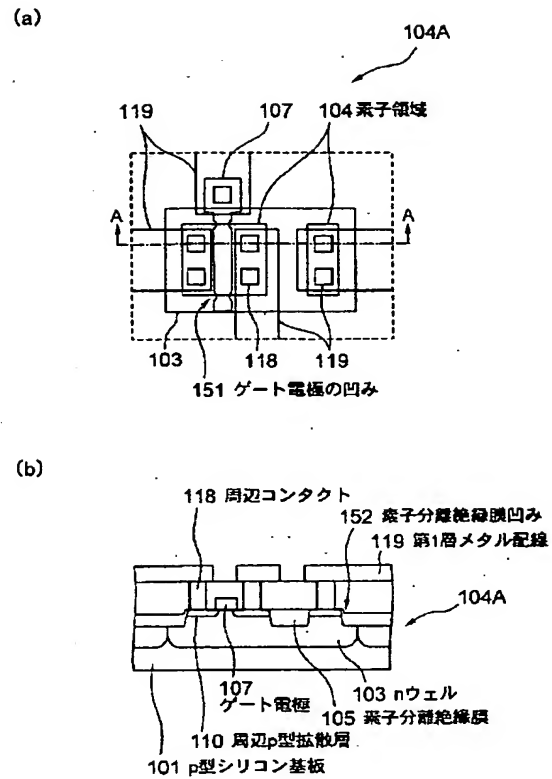
【図 12】



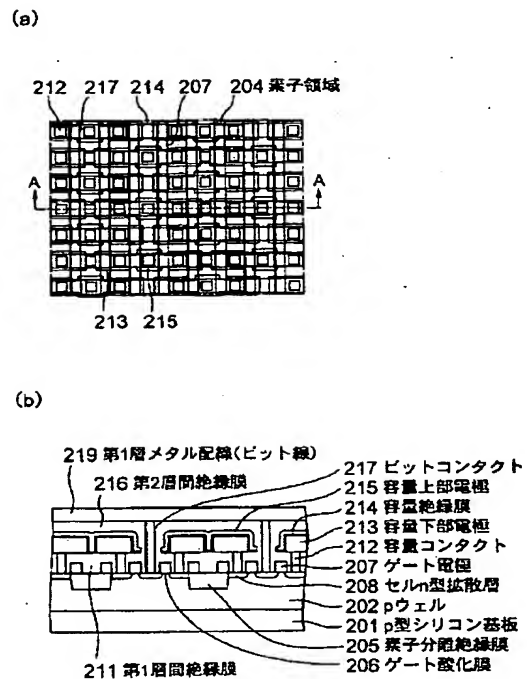
【図6】



【図10】



【図13】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

キーワード (参考)

H 0 1 L 27/088
27/108
21/8242